

2EL2510 - Architecture et conception des systèmes numériques

Responsables : **Anthony KOLAR**

Département de rattachement : **DÉPARTEMENT ÉLECTRONIQUE ET ÉLECTROMAGNÉTISME**

Langues d'enseignement : **FRANCAIS**

Type de cours : **Electif 2A**

Campus où le cours est proposé : **CAMPUS DE PARIS - SACLAY**

Nombre d'heures d'études élèves (HEE) : **60**

Nombre d'heures présentielles d'enseignement (HPE) : **30**

Année académique : **2024-2025**

Catégorie d'électif : **Sciences fondamentales**

Niveau avancé : **oui**

Présentation, objectifs généraux du cours :

Dans une approche top-down, les élèves vont apprendre à spécifier et concevoir des systèmes de traitement numérique dédiés, dans un objectif d'intégration dans un FPGA ou un ASIC.

L'aspect back-end microélectronique (placement routage) sera réservé aux étudiants souhaitant se spécialiser dans le domaine et étudié en mention de troisième année.

Le cours aboutira à la création d'une application, en l'occurrence un petit processeur de traitement, et permettra ainsi de comprendre les différents concepts utilisés dans celui-ci.

De façon globale à l'issue de ce cours, les élèves seront capables de :

- Définir et concevoir l'architecture d'une chaîne de traitement numérique
- Décrire un modèle de ce traitement en langage HDL.
- Concevoir un processeur simple et savoir le programmer

Période(s) du cours (n° de séquence ou hors séquence) :

SG6

Prérequis :

Notions de base en Électronique Numérique

Plan détaillé du cours (contenu) :

Cours 1 : Architecture des unités de traitement : chemin de donnée et séquenceur – part. 1

- Cours 2 : Architecture des unités de traitement : chemin de donnée et séquenceur – part. 2
- Cours 3 : Description VHDL
- Cours 4 : Analyse temporelle des systèmes synchrones
- Cours 5 : Les GPUs : Architectures et chemin de données part. 1
- Cours 6 : Les GPUs : Architectures et chemin de données part. 2
- Cours_TD 1 : Les Unités Logiques Algorithmiques part. 1
- Cours_TD 2 : Les Unités Logiques Algorithmiques part. 2

- Cours_TD 3 : Registres, mémoires et pipeline part. 1
- Cours_TD 4 : Registres, mémoires et pipeline part. 2
- Cours_TD 5 : Le jeu d'instruction
- Cours_TD 6 : Le décodage d'instruction part. 1
- Cours_TD 7 : Le cache et ses stratégies
- Cours_TD 8 : Le décodage d'instruction part. 2
- Cours_TD 9 : Exécutions et sauts conditionnel
- Cours_TD 10 : Le compilateur

Déroulement, organisation du cours :

Définition de la notion d'un Cours_TD :

Il s'agit d'une interaction très forte entre un cours classique et sa mise en application quasi immédiate, bien qu'ici la démarche soit inversée : les exercices ont pour objectifs de faire réaliser où sont les points critiques sans connaître la solution pour y remédier. Une fois conscient du problème, le cours apporte la solution aux étudiants qui y sont alors beaucoup plus sensible. Cette démarche n'est possible que sous la condition qu'il n'y est pas de coupure franche entre le cours et le PC, d'où cette notion de Cours_TD.

ATTENTION: L'absence à cette partie rend quasiment impossible la bonne compréhension du sujet et de ce fait la validation du cours

2 - Projet à réaliser partiellement en homework et en équipe:

- 6 séances de projet (EL) de 1h30 en présence d'un encadrant
- 21h de homework (intercalées avec les séances de projet précédentes).
- 1 séance de 3H avec exposé oral puis démonstration devant le groupe du résultat

Le département fournira à chaque élève une carte de type FPGA (les mêmes que celles utilisées pour le cours de première année) qu'ils garderont jusqu'à la fin de leur projet.

Organisation de l'évaluation :

- Examen écrit - conception d'architecture de processeur
- Rapport du projet et présentation

Ratio: 70% examen écrit - 30% Projet

Les Compétences C1 seront validées si vous avez plus de 10/20 à la fois en examen et au projet

Les Compétences C2 validées si vous avez plus de 10/20 à la fois en examen et au projet

La Compétences C3 sera validée si vous avez plus de 10/20 à la fois en examen et au projet

La Compétences C6 sera validée si vous avez plus de 10/20 à la fois en examen et au projet

Moyens :

DE0 FPGA Board From Altera

Acquis d'apprentissage visés dans le cours :

Le cours «Architecture des systèmes Numériques» apportera plus précisément aux élèves les notions nécessaire pour :

- Définir une architecture de traitement
- Architecture des unités de traitement : chemin de donnée et séquenceur
- Description de chacune des fonctions précédentes en langage VHDL
- Analyse temporelle des systèmes synchrones
 - Conception d'un processeur (Approche de type projet)
- ALU, registres et pipeline
- Construction d'un cœur de processeur
- Jeu d'instruction
- Décodage d'instruction, Sauts et pipeline
 - Traitement de donnée sur processeur Graphique
- Architecture des GPU: chemin de donnée
- Langage de programmation parallèle via librairie de type CUDA

Description des compétences acquises à l'issue du cours :

C1.1 Study a problem in its entirety, the situation as a whole. Identify, formulate and analyze a problem in its scientific, economic and human dimensions.

C1.3: Solve the problem with a practice of approximation, simulation and experimentation.

C2.3 Identify and quickly acquire new knowledge and skills necessary in the relevant fields, whether technical, economic or other.

C2.5 Master the skills of one of the basic engineering professions (at the junior level).

C3.6: Evaluate the effectiveness, feasibility and robustness of the solutions proposed.

C6.3: Specify, design, produce and validate software.