

3SQ4020 - Architecture des circuits analogiques

Responsables : **Emilie AVIGNON-MEELDZIJIA**

Nombre d'heures d'études élèves (HEE) : **40**

Nombre d'heures présentielles d'enseignement (HPE) : **21**

Année académique : **2024-2025**

Présentation, objectifs généraux du cours :

L'objectif de ce cours est de présenter les architectures les plus répandues et utilisées en électronique analogique depuis les montages simples jusqu'aux systèmes analogiques complets. Les architectures abordées partent du montage à 1 seul transistor (montage source commune, drain commun, grille commune, interrupteurs), en passant par des assemblages de ces circuits (OTA à 1 ou 2 étages, bandgap reference voltage, transmission gate, multiplieur, additionneur/soustracteur, comparateur...) jusqu'aux systèmes où chacun des blocs comprend plus de 10 transistors (filtre Gm-C, PLL, conversion analogique-numérique...).

Pour faciliter la compréhension, et préparer au métier de concepteur, l'étude de chaque architecture se base sur une étude des blocs et des systèmes complets mis en œuvre sous LtSpice avec des modèles réels de transistors ou de composants du marché.

Enfin, pour illustrer la réalité du métier de concepteur électronique analogique dans l'industrie, un/des intervenant(s) d'Elsys Design viennent présenter leur parcours, leur métier et des études de cas au cours d'un séminaire d'1h30.

Période(s) du cours (n° de séquence ou hors séquence) :

SM10

Prérequis :

Il est nécessaire d'avoir suivi la séquence de dominante SCOC, ou d'avoir un M1 en Electronique équivalent au Master E3A de l'Université Paris Saclay ou un M1 d'une école partenaire.

Plan détaillé du cours (contenu) :

CM1/TD1 : les montages élémentaires (architecture, études petits signaux, propriétés) et à 2 transistors : source commune, drain commun, grille communes + cascode télescopique + référence de tension

CM2/TD2 : les montages à plusieurs transistors (1) : miroir de courant, OTA à 1 étages puis 2 étages (Miller)

CM3/TD3 : les montages à plusieurs transistors (2) + switches : transmission gate, multiplieur, additionneur/soustracteur, comparateur

CM4/TD4 : les filtres Gm-C, gyrateurs : méthode des intégrateurs, traduction de fonction de transfert en filtre OTA-C

CM5/TD5 : architecture de PLL/synthétiseur de fréquence : étude système de la PLL : modèle linéaire, stabilité, puis introduction aux différents blocs au niveau transistor : comparateur phase-fréquence, oscillateur, charge-pump...

Séminaire ELSYS DESIGN : parcours d'un(e) ingénieur(e), présentation métier, étude de cas illustratifs de conception de système analogique en projet entreprise.

TP conception de système analogique : 2 sujets d'étude seront proposés avec des domaines applicatifs différents. Pour chaque sujet une phase de dimensionnement/simulation sera à effectuer sous LtSpice avec les modèles réels de transistors ou de composants du marché.

Déroulement, organisation du cours :

Cours magistraux et travaux dirigés couplés à des séances de travaux pratiques.

Organisation de l'évaluation :

Un examen écrit pour 70% de la note et les travaux pratiques pour 30% de la note

La compétence C6 sera évaluée sur la base du TP/projet où il y aura des résultats à obtenir à partir de simulateur électronique. Il faudra une note supérieure à 12/20 en TP pour valider cette compétence.

Les compétences C1 et C2 seront évaluées sur toutes les activités, mais il faudra une note d'examen écrit supérieure à 10/20 et une note de TP supérieure à 12/20 pour valider ces compétences.

Moyens :

Ce cours se base sur :

- 15h00 de cours (CM) et exercices (TD)
- un séminaire entreprise (ELSYS DESIGN) de 3h00
- 6h00 de TP avec LtSpice

Acquis d'apprentissage visés dans le cours :

A l'issue de ce cours les étudiants devront être capable de :

- Proposer des architectures adaptées à une application
- Prédire les ordres de grandeurs et les compromis pour chaque architecture
- Comprendre/calculer les montages comprenant une dizaine de transistors CMOS

Description des compétences acquises à l'issue du cours :

C1

Analyse, design and build complex systems with scientific, technological, human and economic components

C2

Develop in-depth skills in a scientific or sectoral field and a family of professions

C6

Be at ease and innovative in the digital world

Bibliographie :

T. C. Carusone, D. A. Johns, and K. W. Martin, Analog Integrated Circuit Design, 2nd ed. Danvers, MA: John Wiley & Sons, Inc., 2012.

B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, 2003.

R. Jacob Baker, CMOS Circuit Design, Layout, and Simulation, 3rd ed., John Wiley & Sons, Inc., IEEE Press, 2010.