

3SQ4120 - Integrated Electronics (INTELECT)

Responsables : **Emilie AVIGNON-MESELZIJIA**

Langues d'enseignement : **FRANCAIS**

Campus où le cours est proposé : **CAMPUS DE PARIS - SACLAY**

Nombre d'heures d'études élèves (HEE) : **40**

Nombre d'heures présentielles d'enseignement (HPE) : **21**

Année académique : **2024-2025**

Niveau avancé : **non**

Présentation, objectifs généraux du cours :

L'électronique intégrée, également appelés microprocesseurs, est omniprésente en tant que technologie clé dans de nombreux appareils modernes, notamment les ordinateurs, les smartphones et les équipements industriels. Ils sont constitués de nombreux transistors et dispositifs passifs qui sont gravés sur un morceau de Silicium d'un millimètre carré. La pénurie de circuits intégrés au XXI^e siècle est le résultat d'une combinaison de facteurs qui ont été exacerbés par la pandémie de COVID-19, tel que :

- Forte demande d'appareils électroniques liés au travail et à l'apprentissage à distance, ainsi que d'appareils de divertissement pendant le confinement.

- Perturbation des chaînes d'approvisionnement mondiales, car les fonderies ont été contraintes de fermer ou de fonctionner à capacité réduite, ce qui a ralenti la production.

On dit que les pays qui pourraient concevoir et produire leurs propres circuits intégrés jouissent de la souveraineté technologique. Cela peut également contribuer à la souveraineté économique, en réduisant le montant d'argent dépensé pour l'importation de technologies et en augmentant la capacité de fournir des solutions technologiques aux besoins de la société.

Période(s) du cours (n° de séquence ou hors séquence) :

SM11

Prérequis :

Pour les étudiants de CentraleSupélec, il est nécessaire d'avoir suivi la mention ELEN de la dominante SCOC.

Plan détaillé du cours (contenu) :

1. CM1 : Integrated Electronics – Context, Challenges, and Industry 4.0

2. TP1. Hands on Virtuoso Cadence

3. TP3 : Physical Design of a Ring Oscillator using CADENCE (DRC, LVS, EXT)

4. TP4 : Physical Design of a Ring Oscillator using CADENCE (DRC, LVS, EXT)

Office Hours: Physical Design

5. CM2 : Integrated Electronics Manufacturing: from the physics of semiconductors to the economy of

integrated electronics through modern industrial integration processes, présenté par XFAB France
6. CM3: Integrated Electronics Manufacturing: from the physics of semiconductors to the economy of integrated electronics through modern industrial integration processes, présenté par XFAB France
7. CM4 : Modeling, characterization, and simulation of transistors for modern industrial technologies présenté par XFAB France
8. CM5 : Modeling, characterization, and simulation of transistors for modern industrial technologies présenté par XFAB France
9. CM6 : Design of Experiments : from physical dataset generation to Circuit and System design equations.
10. TP5 : Practice of the Design of Experiments using a single stage amplifier.
11. CM7 : Design for Reliability and physical phenomena (PVT, MC, Corners, Aging, Faults)
12. TP5 : Practice of Design for Reliability for a Ring Oscillator
13. TP6 : IC Design Practice on CADENCE (évaluation)
14. TP7 : IC Design Practice on CADENCE (évaluation)
Office Hours: IC Design Practice

Déroulement, organisation du cours :

Séminaires industrielles, cours magistraux et travaux dirigés couplés à des séances de travaux pratiques. Equilibre entre théorie et pratique, savoir et savoir-faire.

Organisation de l'évaluation :

- Exécution de QCM sur le sujet des séminaires industrielles pour valider C2
- Participation en TP et mis en épreuve des compétences logiciel de CAO pour valider C6
- Rapport écrit individuel en « Conception IC » préparée en avance (prévoir 20 HEE) avec des séances de validation et expérimentation qui représente 100% de la note finale (validation de C1).
- Examen de rattrapage comprend une série des questions théoriques. Il est exécuté en avril avant le départ en stage. Cet examen permet de rattraper seulement C1 dans les critères : C1 en jalon 3 (note supérieure à 12) ou jalon 2 (note supérieure à 7). Dans le cas de non-validation de C2 et ou C6, elles ne pourront pas être rattrapés par cette évaluation (ie compétence non évalué/non acquis).

Moyens :

Ce cours se base sur un équilibre entre théorie (CM) et exercices (TD). Il propose aussi des séances pratique (TP) en machine Linux avec les logiciels de CAO professionnel : Virtuoso CADENCE.

Acquis d'apprentissage visés dans le cours :

Pendant le cours d'électronique intégrée, les étudiants apprendront

- comment concevoir, répondre aux compromis de performance, dessiner la disposition et fabriquer des circuits intégrés, à l'aide d'outils d'automatisation de la conception électronique (EDA).
- fabrication et conception de la microélectronique du point de vue de l'industrie, y compris les semi-conducteurs, les transistors, les circuits et les systèmes.
- les exigences de l'électronique intégrée dans divers domaines, tels que l'Internet des objets, l'électronique de l'espace aérien, les instruments biomédicaux et l'automatisation industrielle.

Description des compétences acquises à l'issue du cours :

- a) Validation of skill C1: The “IC Design” work consists of a set of theoretical questions. This makes it possible to validate the C1 skill in milestone 3 (average greater than 12) or milestone 2 (average greater than 7)
- b) Validation of skill C2: The industrial seminars will deepen the field of engineering sciences in the integrated electronics sector, especially through the know-how and interpersonal skills illustrated by the temporary workers. Participation in industrial seminars with the answer to the MCQ (one per seminar) proposed by the individual contractors makes it possible to validate the C2 skill in milestone 3 (average greater than 12) or milestone 2 (average greater than 7)
- c) Validation of competence C6: Laboratory activities with CAD software require competence in data processing and the numerical solution of problems (eg design of experiments). Participation in the labs validates competency C6 in milestone 2. The “IC Design” work includes a set of questions to be verified by simulation. This makes it possible to validate the C6 skill in milestone 3 (average greater than 10).

Bibliographie :

Razavi, B. (2005). Design of Analog CMOS Integrated Circuits (2nd ed.). Mc Graw Hill.

Jespers, P. (2010). The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits. In Springer US. Springer US. <https://doi.org/10.1007/978-0-387-47101-3>

Carusone, T. C., Johns, D. A., & Martin, K. W. (2012). Analog Integrated Circuit Design (2nd ed.). John Wiley & Sons, Inc.

Debroux, J.-F. (2020). Top-Down method at work in analog IC design. Open Access.

Ferreira, P. M. (2023). Polycopié Electronique Intégré. Open Access